

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-012606

(43)Date of publication of application : 14.01.2000

(51)Int.Cl.

H01L 21/60
H01L 25/065
H01L 25/07
H01L 25/18

(21)Application number : 10-177445

(71)Applicant : NEC CORP

(22)Date of filing : 24.06.1998

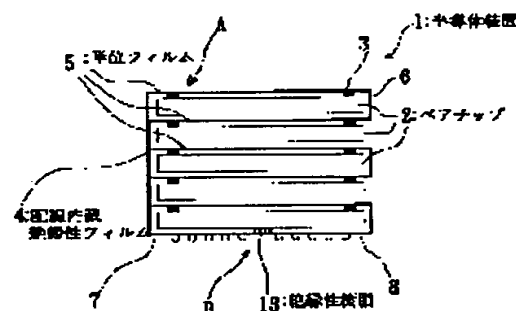
(72)Inventor : IWASE KANJI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To improve reliability of connection and yield when making a semiconductor by laminating a plurality of bare chips.

SOLUTION: A long wiring containing insulation film 4 comprises, for example, five consecutive unit films in the one dimensional direction, each of which is for one bare chip. The insulation film 4 is folded alternatively by about 180 degrees for every unit films 5 and the bare chips 2 are mounted on every unit films 5. A plurality of bare chips 2 is laminated in the depth direction as a whole. Then, all the bare chips 2 are wrapped by fixing the end of the wiring containing insulation film with the lowest bare chip 2 to form a semiconductor device 1.



LEGAL STATUS

[Date of request for examination] 29.06.1998

[Date of sending the examiner's decision of rejection] 21.11.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3186700

[Date of registration] 11.05.2001

[Number of appeal against examiner's decision of rejection] 2000-20248

[Date of requesting appeal against examiner's decision of rejection] 21.12.2000

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-12606

(P2000-12606A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L 21/60 25/065 25/07 25/18	3 1 1	H 0 1 L 21/60 25/08	3 1 1 Q 4 M 1 0 5 Z

審査請求 有 請求項の数 9 O L (全 12 頁)

(21) 出願番号 特願平10-177445

(22) 出願日 平成10年6月24日 (1998.6.24)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 岩瀬 寛治

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100099830

弁理士 西村 征生

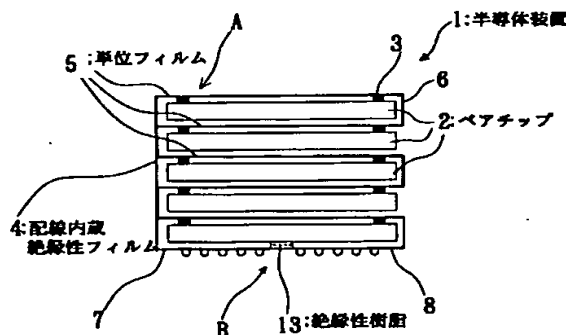
Fターム (参考) 4M105 AA03 AA09 AA10 CC04 CC50
DD24 FF01 GG03 GG18

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 複数のペアチップを積層して半導体装置を構成する場合、接続信頼性を向上させるとともに、歩留の向上を図ることができるようにする。

【解決手段】 一個のペアチップ2に対応した単位フィルム5が、ペアチップ2の例えば5個分連続して一次元方向に連なった長尺状からなる配線内蔵絶縁性フィルム4を用いて、同配線内蔵絶縁性フィルム4を単位フィルム5ごとに交互に略180度折り曲げて、各单位フィルム5にはペアチップ2を実装して全体で複数のペアチップ2を厚み方向に積層し、配線内蔵絶縁性フィルム4の端部を最下層のペアチップ2に固定してすべてのペアチップ2を包み込んで半導体装置1を構成する。



【特許請求の範囲】

【請求項1】 パッド電極が形成されたベアチップが、前記パッド電極に対応した外部電極が形成された配線内蔵絶縁性フィルムにより、前記パッド電極が前記外部電極と導通するように包み込まれてなる半導体装置であって、

前記配線内蔵絶縁性フィルムは、一個のベアチップに対応した単位フィルムが前記ベアチップの複数個分連続して連なった長尺状からなり、該配線内蔵絶縁性フィルムが前記単位フィルムごとに交互に略180度折り曲げられて、各単位フィルムにはベアチップが実装されることにより全体で複数のベアチップが厚み方向に積層され、前記配線内蔵絶縁性フィルムの端部を最下層のベアチップに固定してすべてのベアチップを包み込んだことを特徴とする半導体装置。

【請求項2】 前記配線内蔵絶縁性フィルムは、前記単位フィルムが一次元方向に連続して連なっていることを特徴とする請求項1記載の半導体装置。

【請求項3】 パッド電極が形成されたベアチップが、前記パッド電極に対応した外部電極が形成された配線内蔵絶縁性フィルムにより、前記パッド電極が前記外部電極と導通するように包み込まれてなる半導体装置であって、

前記配線内蔵絶縁性フィルムは、一個のベアチップに対応した単位フィルムが前記ベアチップの複数個分連続して連なった長尺状の第1フィルムと、該第1フィルムを覆うための第2フィルムとからなり、前記第1フィルムが前記単位フィルムごとに略180度折り曲げられて、各単位フィルムにはベアチップが実装されることにより全体で複数のベアチップが厚み方向に積層され、前記第2フィルムの端部を最下層のベアチップに固定してすべてのベアチップを包み込んだことを特徴とする半導体装置。

【請求項4】 前記第1フィルムは、前記単位フィルムが二次元方向に連続して連なっていることを特徴とする請求項3記載の半導体装置。

【請求項5】 前記単位フィルムの周囲領域に短絡用電極を設け、該短絡用電極を前記単位フィルムが接する外側のフィルムを介して外部に引き出し可能に構成したことを特徴とする請求項1乃至4のいずれか1に記載の半導体装置。

【請求項6】 前記第2のフィルムにベアチップが実装されることを特徴とする請求項3、4又は5記載の半導体装置。

【請求項7】 前記積層されている各ベアチップ間に放熱板を介在させたことを特徴とする請求項1乃至6のいずれか1に記載の半導体装置。

【請求項8】 一個のベアチップに対応した単位フィルムが、前記ベアチップの複数個分連続して連なった長尺状からなる配線内蔵絶縁性フィルムを形成する配線内蔵

絶縁性フィルム形成工程と、

前記配線内蔵絶縁性フィルムの前記単位フィルムに各々ベアチップを実装するベアチップ実装工程と、

前記配線内蔵絶縁性フィルムを前記単位フィルムごとに交互に略180度折り曲げて、複数のベアチップを厚み方向に積層するベアチップ積層工程と、

前記配線内蔵絶縁性フィルムの端部を最下層のベアチップに固定してすべてのベアチップを包み込むベアチップ包み込み工程とを含むことを特徴とする半導体装置の製造方法。

【請求項9】 一個のベアチップに対応した単位フィルムが、前記ベアチップの複数個分連続して連なった長尺状の第1フィルムと、該第1フィルムを覆うための第2フィルムとからなる配線内蔵絶縁性フィルムを形成する配線内蔵絶縁性フィルム形成工程と、

前記第1フィルムの前記単位フィルムに各々ベアチップを実装するベアチップ実装工程と、

前記第1フィルムを前記単位フィルムごとに略180度折り曲げて、複数のベアチップを厚み方向に積層するベアチップ積層工程と、

前記第2フィルムの端部を最下層のベアチップに固定してすべてのベアチップを包み込むベアチップ包み込み工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置及びその製造方法に係り、詳しくは、ベアチップ(Bare Chip)を該ベアチップと略同じサイズにパッケージしたCSP(Chip Size Package)を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来から、半導体装置の代表として知られているメモリやマイクロプロセッサなどのLSI(大規模集積回路)を共通の配線基板上に接続して、各種情報処理に用いる小型のコンピュータシステムを構成するようにしたMCM(Multi Chip Module)が知られている。同MCMにおいては、機能の向上には特性や機能の異なる複数のチップや抵抗、チップコンデンサなどの受動素子をより多く配線基板上に平面的に搭載するため、実装面積が大きくなり小型化の要望に応えることができない。

【0003】一方、最近になって、CSPと称される超小型のパッケージが開発されてきている。同CSPは、ベアチップを配線内蔵絶縁性フィルムで包み込むことにより、同ベアチップと略同じサイズのパッケージを構成するようにしたものである。

【0004】例えば特開平8-335663号公報には、上述のようなCSPが開示されている。同公報に示されているCSP71は、図18に示すように、ベアチップ73が回路面73Bを下側にしてポリイミドなどか

10

20

30

40

50

らなる配線内蔵絶縁性フィルム72により、上面73Aの中央部を除いた領域まで包み込まれるように覆われている。そして、同上面73Aの中央部の領域は絶縁性樹脂74Aで封止される一方、その回路面73Bは絶縁性樹脂74Bで配線内蔵絶縁性フィルム72に接着されている。

【0005】また、配線内蔵絶縁性フィルム72の下面には、ベアチップ73の回路面73Bに設けられているパッド電極に対応したはんだボール75が形成されている。同はんだボール75は、ベアチップ73を配線基板に接続する場合に、接続用電極として用いられる。また、配線内蔵絶縁性フィルム72の上面の周端部には、ベアチップ73のパッド電極に対応したテスト用パッド77が形成されている。同テスト用パッド77は、ベアチップ73の特性検査を行う場合に、検査用プローブが接触されるようになっている。

【0006】また、同公報には、図19に示すように、図18に示したCSP71を複数個例えば4個用いて、配線基板78上に積層配置して、電極同士を接続した構造の半導体装置79が示されている。この構造は、限られたスペースに実装密度を向上させるために高さ方向のスペースを利用したものである。この製造方法は、配線内蔵絶縁性フィルムに包み込まれた第1層目のCSP71をまず配線基板78に加熱溶融接続し、続いて第2層目から第4層目のCSP71を順次に同様な方法で繰り返し接続していくものである。また、他の製造方法は、図19に示した4個のCSP71をまとめて互いの電極を予め位置決めして加熱溶融する方法が考えられる。しかしながら、前者の方法では、互いの電極の接続ズレに対する問題は少ないが、CSP71の個数分だけ接続作業が必要であり、ベアチップ73に熱履歴がかかり特性不良になるおそれがあった。また、後者の方法では、同時に複数個のCSP71を重ねて電極同士を位置決めして加熱溶融することは、位置ズレや最下層のCSP71の接続部の半田パンクが上層のCSP71によって押しつぶされることにより電極同士がショートが発生し、製造歩留まりや信頼性の低下が免れなかった。

【0007】

【発明が解決しようとする課題】ところで、上述した従来の半導体装置では、複数個のCSPを積層するにあたっては同CSPを一個ずつ重ねて実装しなければならないので、上下位置のCSPの外部電極同士の接続状態が不安定となって、接続信頼性が低下するという問題がある。すなわち、複数個のCSPを積層するには、下層のCSPの外部電極と上層のCSPの外部電極とを接続しながら実装する必要があるが、特に層数が増えてくると上下位置のCSPの外部電極の位置合わせが複雑になってくるので、外部電極同士を確実に接続するのが困難となる。また、製造方法の点からも複数のCSPを積層していくことは、実装効率が悪くなるだけでなく、工程数

が増加するので歩留を低下させる原因となる。さらに、高集積、高速のチップを多層構造に接続した場合に各チップから発生する熱を効率良く放散することができないので、チップの温度上昇が激しくなり熱暴走を生じチップの破壊に至ることがあった。

【0008】この発明は、上述の事情に鑑みてなされたもので、複数のベアチップを積層して半導体装置を構成する場合、接続信頼性を向上させるとともに、歩留の向上を図ることができるようにした半導体装置及びその製造方法を提供することを目的としている。

【0009】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、パッド電極が形成されたベアチップが、上記パッド電極に対応した外部電極が形成された配線内蔵絶縁性フィルムにより、上記パッド電極が前記外部電極と導通するように包み込まれてなる半導体装置であって、上記配線内蔵絶縁性フィルムは、一個のベアチップに対応した単位フィルムが上記ベアチップの複数個分連続して連なった長尺状からなり、該配線内蔵絶縁性フィルムが上記単位フィルムごとに交互に略180度折り曲げられて、各単位フィルムにはベアチップが実装されることにより全体で複数のベアチップが積層され、上記配線内蔵絶縁性フィルムの端部を最下層のベアチップに固定してすべてのベアチップを包み込んだことを特徴としている。

【0010】請求項2記載の発明は、請求項1記載の半導体装置に係り、上記配線内蔵絶縁性フィルムが、上記単位フィルムが一次元方向に連続して連なっていることを特徴としている。

【0011】請求項3記載の発明は、パッド電極が形成されたベアチップが、上記パッド電極に対応した外部電極が形成された配線内蔵絶縁性フィルムにより、上記パッド電極が上記外部電極と導通するように包み込まれてなる半導体装置であって、上記配線内蔵絶縁性フィルムは、一個のベアチップに対応した単位フィルムが上記ベアチップの複数個分連続して連なった長尺状の第1フィルムと、該第1フィルムを覆うための第2フィルムとからなり、上記第1フィルムが前記単位フィルムごとに略180度折り曲げられて、各単位フィルムにはベアチップが実装されることにより全体で複数のベアチップが積層され、上記第2フィルムの端部を最下層のベアチップに固定してすべてのベアチップを包み込んだことを特徴としている。

【0012】請求項4記載の発明は、請求項3記載の半導体装置に係り、上記第1フィルムが、上記単位フィルムが二次元方向に連続して連なっていることを特徴としている。

【0013】請求項5記載の発明は、請求項1乃至4のいずれか1に記載の半導体装置に係り、上記単位フィルムの周囲領域に短絡用電極を設け、該短絡用電極を上記

単位フィルムが接する外側のフィルムを介して外部に引き出し可能に構成したことを特徴としている。

【0014】請求項6記載の発明は、請求項3、4又は5記載の半導体装置に係り、上記第2のフィルムにベアチップが実装されることを特徴としている。

【0015】また、請求項7記載の発明は、請求項1乃至6のいずれか1に記載の半導体装置に係り、上記積層されている各ベアチップ間に放熱板を介在させたことを特徴としている。

【0016】また、請求項8記載の発明に係る半導体装置の製造方法は、一個のベアチップに対応した単位フィルムが、上記ベアチップの複数個分連続して連なった長尺状からなる配線内蔵絶縁性フィルムを形成する配線内蔵絶縁性フィルム形成工程と、上記配線内蔵絶縁性フィルムの上記単位フィルムに各々ベアチップを実装するベアチップ実装工程と、上記配線内蔵絶縁性フィルムを上記単位フィルムごとに交互に略180度折り曲げて、複数のベアチップを厚み方向に積層するベアチップ積層工程と、上記配線内蔵絶縁性フィルムの端部を最下層のベアチップに固定してすべてのベアチップを包み込むベアチップ包み込み工程とを含むことを特徴としている。

【0017】また、請求項9記載の発明に係る半導体装置の製造方法は、一個のベアチップに対応した単位フィルムが、上記ベアチップの複数個分連続して連なった長尺状の第1フィルムと、該第1フィルムを覆うための第2フィルムとからなる配線内蔵絶縁性フィルムを形成する配線内蔵絶縁性フィルム形成工程と、上記第1フィルムの上記単位フィルムに各々ベアチップを実装するベアチップ実装工程と、上記第1フィルムを上記単位フィルムごとに略180度折り曲げて、複数のベアチップを厚み方向に積層するベアチップ積層工程と、上記第2フィルムの端部を最下層のベアチップに固定してすべてのベアチップを包み込むベアチップ包み込み工程とを含むことを特徴としている。

【0018】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は実施例を用いて具体的に挙げる。

◇第1実施例

図1乃至図3は、この発明の第1実施例である半導体装置を示し、詳細には、図1は、同半導体装置の構成を示す断面図、図2は、図1のA部分を拡大して示す拡大図、図3は図1のB部分を拡大して示す拡大図、また、図4及び図5(a)、(b)は、同半導体装置の製造方法を工程順に示す工程図である。この例の半導体装置1は、LSIチップからなるベアチップ2が、配線内蔵絶縁性フィルム4を構成している複数の単位フィルム5に各々実装されることにより、厚み方向に積層されている。配線内蔵絶縁性フィルム4は、一個のベアチップ2に対応した単位フィルム5が中間支持部6を介して、ベ

アチップ2の例えば5個分連続して一次元方向に連なった長尺状からなり、各単位フィルム5ごとに交互に略180度折り曲げられて、各単位フィルム5にベアチップ2が実装されている。配線内蔵絶縁性フィルム4は、図2及び図3に示すように、ポリイミドなどからなる一対の絶縁性フィルム9a、9b間に銅などからなる配線10が内蔵されて、同配線10は所望の形状にパターンニングされている。

【0019】図2及び図3から明らかなように、配線内蔵絶縁性フィルム4を構成している一対の絶縁性フィルム9a、9bの所望位置にはコンタクトホール11が形成されて、配線10が露出されている。そして、外側となる一方の絶縁性フィルム9aには、コンタクトホール11を通じて配線10に導通するように外部電極となるバンプ状電極12が形成されている。同バンプ状電極12は、周知のめっき法、ボールボンディング法などにより形成されて、金、金めっき銅あるいは半田などから構成されている。

【0020】一方、ベアチップ2の表面にはパッド電極3が形成され、同パッド電極3は、半導体基板から引き出されたアルミニウム配線上に、例えば上述のバンプ状電極12と同様の材料からなるボール状導体が接続されて形成されている。ベアチップ2は、配線内蔵絶縁性フィルム4を構成している内側となる他方の絶縁性フィルム9bのコンタクトホール11を通じて、フリップチップボンディング法によりそのパッド電極3が配線10に接続されることで、配線内蔵絶縁性フィルム4に実装されている。これによって、ベアチップ2のパッド電極3は配線10を介して外部電極となるバンプ状電極12と導通されている。

【0021】積層された複数のベアチップ2は、同ベアチップ2の最下層のものに対して、配線内蔵絶縁性フィルム4の固定フィルム7、8の先端のチップ封止部7b、8bが絶縁性樹脂13により接着されることで固定されている。これによって、すべてのベアチップ2は配線内蔵絶縁性フィルム4により包み込まれて、半導体装置1が構成されている。

【0022】次に、図4及び図5(a)、(b)を参照して、同半導体装置の製造方法について工程順に説明する。まず、図4に示すように、一個のベアチップ2に対応した単位フィルム5が中間支持部6を介して、ベアチップ2の5個分連続して一次元方向に連なった長尺状からなる配線内蔵絶縁性フィルム4を形成する。配線内蔵絶縁性フィルム4は、ポリイミドなどからなる一対の絶縁性フィルム9a、9b間に予め所望の形状にパターンニングされた銅などからなる配線10が内蔵されて、各単位フィルム5の内側のベアチップ2の実装面となる位置には、同ベアチップ2のパッド電極3と対応するコンタクトホール11が形成されて、配線10が露出されている。

【0023】単位フィルム5の面積Pは実装すべきベアチップ2を十分に覆うような大きさに設定され、中間支持部6の高さ寸法Hはベアチップ2の厚さよりもやや大きな値に設定されている。また、配線内蔵絶縁性フィルム4の長さ(X)方向の端部には一対の固定フィルム7が、また同長さ方向と直交する幅(Y)方向には一対の固定フィルム8が形成されている。そして、一方の固定フィルム7及び一対の固定フィルム8には、5個分の中間支持部6の高さ寸法5×Hと略等しい高さTを有するチップ支持部7a、8aにプラスして三角形のチップ封止部7b、8bが設けられている。

【0024】次に、図5(a)に示すように、配線内蔵絶縁性フィルム4の単位フィルム5に交互に逆向きとなるように、フリップチップボンディング法によりベアチップ2を実装する。この場合、各単位フィルム5には、実装すべきベアチップ2に対応させて予め配線10をコンタクトホール11を通じて露出させておく。

【0025】次に、図5(b)に示すように、配線内蔵絶縁性フィルム4を中間支持部6を介して各単位フィルム5ごとに交互に略180度折り曲げて、5個のベアチップ2を積層する。続いて、配線内蔵絶縁性フィルム4の一対の固定フィルム7及び一対の固定フィルム8を、各ベアチップ2を覆うように折り曲げて、各チップ封止部7b、8bを最下層のベアチップ2に絶縁性樹脂13により接着して固定することで、この例の半導体装置1が製造される。すなわち、この例では、従来のようにCSPを積層するのではなく、ベアチップ2を積層することにより半導体装置1が製造される。

【0026】図6(a)乃至(c)は、絶縁性樹脂13による配線内蔵絶縁性フィルム4の固定方法の例を示すものである。同図(a)は各チップ封止部7b、8bの先端にランダムに絶縁性樹脂13を接着する例、同図(b)は各チップ封止部7b、8bの先端の限定した領域に絶縁性樹脂13を接着する例、同図(c)は各チップ封止部7b、8bの側縁に沿って絶縁性樹脂13を接着する例である。

【0027】このように、この例の構成によれば、一個のベアチップ2に対応した単位フィルム5が、ベアチップ2の例えば5個分連続して一次元方向に連なった長尺状からなる配線内蔵絶縁性フィルム4を用いて、同配線内蔵絶縁性フィルム4を単位フィルム5ごとに交互に略180度折り曲げて、各単位フィルム5にはベアチップ2を実装して全体で複数のベアチップ2を厚み方向に積層し、配線内蔵絶縁性フィルム4の端部を最下層のベアチップ2に固定してすべてのベアチップ2を包み込むようにしたので、複数のベアチップを積層して半導体装置を構成する場合、接続信頼性を向上させるとともに、歩留の向上を図ることができる。したがって、厚み方向のスペースを利用して複数のベアチップが積層された一個の半導体装置によってMCMを構成することが可能とな

る。

【0028】また、複数のベアチップ2を配線内蔵絶縁性フィルム4の単位フィルム5に実装した後に、同配線内蔵絶縁性フィルム4を単位フィルム5ごとに交互に略180度折り曲げて、全体で複数のベアチップ2を厚み方向に積層するようにしたので、層数が増えても外部電極同士を配線を介して確実に接続することができる。また、それに伴って、実装効率がよくなるだけでなく、工程数が増加しないので歩留の低下を防止することができる。

【0029】◇第2実施例

図7は、この発明の第2実施例である半導体装置の構成を概略示す断面図である。同半導体装置が、第1実施例のそれと大きく異なるところは、同第1実施例の半導体装置にさらにベアチップを追加して実装するようにした点である。すなわち、同図に示すように、配線内蔵絶縁性フィルム4を構成している最上位置の単位フィルム5上にさらにベアチップ2を実装する。この例の場合、同ベアチップ2を追加して実装する単位フィルム5には、予め外側及び内側の両面にわたって、第1実施例のような配線10を露出するコンタクトホール11を形成しておく。これ以外は、上述した第1実施例と略同じである。それゆえ、図7において、図1の構成部分と対応する部分には同一の番号を付してその説明を省略する。

【0030】このように、この例の構成によっても、第1実施例において述べたのと略同様の効果を得ることができる。加えて、この例によれば、平面的な実装スペースを増加することなく実装するベアチップを追加できるので、その分半導体装置に別の機能を付加することができる。

【0031】◇第3実施例

図8は、この発明の第3実施例である半導体装置の構成を示す断面図、また、図9は、同半導体装置の製造方法に用いられる配線内蔵絶縁性フィルムを示す平面図である。同半導体装置が、第1実施例のそれと大きく異なるところは、単位フィルムの周囲領域に電源及び信号線のインピーダンス低減のための短絡用電極を設け、同短絡用電極を単位フィルムが接する外側のフィルムを介して外部に引き出し可能にした点である。すなわち、図9に示すように、予め形成する配線内蔵絶縁性フィルム4の単位フィルム5のうち、所望の単位フィルム5の周囲領域である中間支持部6及び側面部15に、電源及び信号線のインピーダンス低減のための複数の短絡用電極16を設けておく。一方、配線内蔵絶縁性フィルム5を折り曲げたときに、上述の短絡用電極16に対向する固定フィルム7、8のチップ支持部7a、8aの位置には、複数の短絡用引き出し電極17を設けておく。

【0032】これによって、配線内蔵絶縁性フィルム4を折り曲げて半導体装置を製造する場合、図8に示すように、短絡用電極16と短絡用引き出し電極17とが接

続され、さらに短絡用引き出し電極17は配線10を介してバンプ状電極12に接続されることになる。

【0033】このように、この例の構成によっても、第1実施例において述べたのと略同様の効果を得ることができる。加えて、この例によれば、平面的な実装スペースを増加することなく、電源及び信号線のインピーダンス低減のための短絡用電極を設けることができる。

【0034】◇第4実施例

図10は、この発明の第4実施例である半導体装置の構成を概略示す断面図である。同半導体装置が、第1実施例のそれと大きく異なるところは、単位フィルムにLSIチップだけでなく、受動素子チップを実装するようにした点である。すなわち、同図に示すように、各单位フィルム5にLSIチップ18だけでなく、抵抗、キャパシタ、インダクタなどの受動素子チップ19を実装するようにする。

【0035】このように、この例の構成によっても、第1実施例において述べたのと略同様の効果を得ることができる。加えて、この例によれば、平面的な実装スペースを増加することなく、機能の異なる多くのベアチップを実装することができるので、半導体装置の機能を拡大することができる。

【0036】◇第5実施例

図11は、この発明の第5実施例である半導体装置の構成を示す断面図、また、図12は同半導体装置の製造方法に用いられる配線内蔵絶縁性フィルムを示す平面図である。同半導体装置が、第1実施例のそれと大きく異なるところは、配線内蔵絶縁性フィルムを、第1フィルムと第2フィルムとにより構成するようにした点である。すなわち、配線内蔵絶縁性フィルム21は、図12に示すように、一個のベアチップに対応した単位フィルム22が中間支持部23を介して、ベアチップの例えば2個分連続して一次元方向に連なった長尺状からなる第1フィルム24と、同第1フィルム24を覆うための第2フィルム25とから構成されている。

【0037】第1フィルム24の一の単位フィルム22の周囲領域には側面部26、27、28が形成され、同様に他の単位フィルム22の周囲領域には側面部30、31、32が形成されている。そして、中間支持部23には電源及び信号線のインピーダンス低減のための複数の短絡用電極34を設ける。同様に、各側面部26、27、28には各々短絡用電極35、36、37を、各側面部30、31、32には各々短絡用電極38、39、40を複数設ける。

【0038】一方、第2フィルム25には中心部に単位フィルム22に対応したカバーフィルム42が形成され、同カバーフィルム42の周囲領域には一対の固定フィルム43及び一対の固定フィルム44が形成されている。また、各固定フィルム43には、チップ支持部43a及びチップ封止部43bが、各固定フィルム44に

は、チップ支持部44a及びチップ封止部44bが各々設けられている。

【0039】一方のチップ支持部43aには、上述の側面部27の短絡用電極36及び側面部31の短絡用電極39に対応した複数の短絡用引き出し電極46、47が設けられ、他方のチップ支持部43aには、上述の中間支持部23の短絡用電極34に対応した複数の短絡用引き出し電極48が設けられている。また、一方のチップ支持部44aには、上述の側面部26の短絡用電極35及び側面部30の短絡用電極38に対応した複数の短絡用引き出し電極49、50が設けられ、他方のチップ支持部44aには、上述の中間支持部28の短絡用電極37及び側面部32の短絡用電極40に対応した複数の短絡用引き出し電極51、52が設けられている。なお、第2フィルム25には外部電極としてのバンプ状電極が形成されているが、その図示は省略している。

【0040】次に、以上のような第1フィルム24及び第2フィルム25を用いて半導体装置を製造する方法を説明する。まず、第1フィルム24の各单位フィルム22にフリップチップボンディング法によりベアチップ2を実装した後、一方の単位フィルム22を中間支持部23を介して略180度折り曲げる。また、各側面部26乃至28及び30乃至32を、各ベアチップ2を囲む方向に略180度折り曲げる。次に、第2フィルム25のカバーフィルム42にフリップチップボンディング法によりベアチップ2を実装した後、各チップ支持部43a、44aを、ベアチップ2を囲む方向に略180度折り曲げて、第1のフィルム24を上方から覆う。次に、各チップ封止部43b、44bを下層のベアチップ2に絶縁性樹脂53により接着して固定することで、この例の半導体装置が製造される。

【0041】これによって、第1フィルム24の短絡用電極34乃至37及び30乃至32と、第2フィルム25の短絡用引き出し電極46乃至52との対応するもの同士が接続される。すなわち、第1フィルム24の短絡用電極36、39は各々第2フィルム25の短絡用引き出し電極46、47に接続され、同様に、短絡用電極34は短絡用引き出し電極48に接続され、短絡用電極35、38は短絡用引き出し電極49、50に接続され、短絡用電極37、40は短絡用引き出し電極51、52に接続されている。この結果、第1フィルム24に実装された各ベアチップ2の電源及び信号線のインピーダンス低減のための複数の短絡用電極は、第2フィルム25の各短絡用引き出し電極を通じて外部に引き出し可能に構成される。

【0042】このように、この例の構成によっても、第1実施例において述べたのと略同様の効果を得ることができる。加えて、この例によれば、2枚の絶縁性フィルムを組み合わせる半導体装置を構成するので、製造に自由度を持たせることができる。

【0043】◇第6実施例

図13は、この発明の第6実施例である半導体装置の構成を示す断面図、また、図14は同半導体装置の製造方法に用いられる配線内蔵絶縁性フィルムを示す平面図である。同半導体装置が、第5実施例のそれと大きく異なるところは、第1フィルムの単位フィルムを二次元方向に形成するようにした点である。すなわち、第1フィルム55にはX方向に例えば3枚の単位フィルム22A、22D、22Eが連なって形成される一方、Y方向には2枚の単位フィルム22C、22Bが連なって形成され、いわゆる二次元方向に形成されている。

【0044】次に、以上のような第1フィルム55を用いて半導体装置を製造する方法を説明する。まず、第1フィルム55の各单位フィルム22A乃至22Eにフリップチップボンディング法によりベアチップ2を実装する。次に、中間支持部23を介して単位フィルム22Dの上に単位フィルム22Eを略180度折り曲げた後、単位フィルム22Dの下に単位フィルム22Cを、同単位フィルム22Cの下に単位フィルム22Bを、同単位フィルム22Bの下に単位フィルム22Aを、同様にして折り曲げる。次に、第2フィルム25のカバーフィルム42にフリップチップボンディング法によりベアチップ2を実装した後、各チップ支持部43a、44aを、ベアチップ2を囲む方向に略180度折り曲げて、第1のフィルム55を上方から覆う。次に、各チップ封止部43b、44bを下層のベアチップ2に絶縁性樹脂53により接着して固定することで、この例の半導体装置が製造される。

【0045】このように、この例の構成によっても、第5実施例において述べたのと略同様の効果を得ることができる。加えて、この例によれば、ベアチップを実装する複数の単位フィルムを二次元方向に形成した配線内蔵絶縁性フィルムを用いるので、部品のコンパクト化を図ることができる。

【0046】◇第7実施例

図15は、この発明の第7実施例である半導体装置に用いられる配線内蔵絶縁性フィルムを示す平面図である。同半導体装置が第6実施例のそれと大きく異なるところは、各单位フィルムの側面部に電源及び信号線のインピーダンス低減のための複数の短絡用電極を設けるようにした点である。すなわち、第1フィルム55を折り曲げたときに互いに接する面となる、例えば単位フィルム22AのY方向の両側面部56、57に短絡用電極58、59を設ける一方、対応する単位フィルム22Bの側面部60及び中間支持部23に短絡用電極61、62を設ける。

【0047】これにより、第1フィルム55を折り曲げて半導体装置を製造する場合、短絡用電極58と短絡用電極61とが接続され、また短絡用電極59と短絡用電極62とが接続されるようになる。従って、平面的な

実装スペースを増加することなく、電源及び信号線のインピーダンス低減のための短絡用電極を外部に引き出すことができるようになる。

【0048】このように、この例の構成によっても、第6実施例において述べたのと略同様の効果を得ることができる。加えて、この例によれば、平面的な実装スペースを増加することなく、電源及び信号線のインピーダンス低減のための短絡用電極を設けることができる。

【0049】◇第8実施例

図16は、この発明の第8実施例である半導体装置の構成を概略を示す断面図である。同半導体装置は特に外部電極の数を増加したい場合に、この要望に対処した構造を示すものである。この例では、例えば実施例1で用いた配線内蔵絶縁性フィルム4の固定フィルム7のチップ支持部7aの一部を外側に広げるようにしている。同チップ支持部7aに、予め多数のバンプ状電極12を設けておくことにより、半導体装置全体の外部電極数を増加することができる。

【0050】このように、この例の構成によれば、ベアチップを積層した半導体装置を構成する場合、平面的な実装スペースをあまり増加することなく、外部電極を増加することができる。

【0051】◇第9実施例

図17は、この発明の第9実施例である半導体装置を示す断面図である。同半導体装置は特に放熱性を向上させたい場合に、この要望に対処した構造を示すものである。この例では、上下位置の各ベアチップ2の間に放熱板（ヒートシンク）65を介在させるようにしたものである。同放熱板65としては例えばアルミニウム、銅などの放熱性に優れた薄板を用いて、ベアチップ2と配線内蔵絶縁性フィルム4との間に、絶縁性樹脂で接着するようにする。

【0052】このように、この例の構成によれば、ベアチップを積層した半導体装置を構成する場合、平面的な実装スペースをあまり増加することなく、放熱性を向上することができる。

【0053】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更などがあってもこの発明に含まれる。例えば、配線内蔵絶縁性フィルムを構成する単位フィルムの数は、必要に応じて適宜に増減することができる。

【0054】また、配線内蔵絶縁性フィルムの外側に形成したバンプ状電極は、ベアチップのパッド電極が接続される内側にも形成するようにしてもよい。また、短絡用電極をバンプ状電極で形成してもよい。また、ベアチップを実装する複数の単位フィルムの面積は、ベアチップのサイズに合わせてそれぞれ異ならせるようにしてもよい。また、配線内蔵絶縁性フィルムに実装する対象は、各実施例で示した電子部品に限らず、放熱板などの

10

20

30

40

50

部品を用いることもできる。

【0055】

【発明の効果】以上説明したように、この発明の半導体装置及びその製造方法によれば、一個のベアチップに対応した単位フィルムが、ベアチップの複数個分連続して連なった長尺状からなる配線内蔵絶縁性フィルムを用いて、同配線内蔵絶縁性フィルムを単位フィルムごとに略180度折り曲げて、各单位フィルムにはベアチップを実装して全体で複数のベアチップを厚み方向に積層し、配線内蔵絶縁性フィルムの端部を最下層のベアチップに固定してすべてのベアチップを包み込むようにしたので、複数のベアチップを積層して半導体装置を構成する場合、接続信頼性を向上させるとともに、歩留の向上を図ることができる。

【図面の簡単な説明】

【図1】この発明の第1実施例である半導体装置の構成を示す断面図である。

【図2】同半導体装置の主要部を示す拡大図である。

【図3】同半導体装置の主要部を示す拡大図である。

【図4】同半導体装置の製造方法を工程順に示す工程図である。

【図5】同半導体装置の製造方法を説明する平面図である。

【図6】同半導体装置の製造方法を説明する底面図である。

【図7】この発明の第2実施例である半導体装置の構成を示す断面図である。

【図8】この発明の第3実施例である半導体装置の構成を示す断面図である。

【図9】同半導体装置の製造方法を説明する平面図である。

【図10】この発明の第4実施例である半導体装置の構成を示す断面図である。

【図11】この発明の第5実施例である半導体装置の構成を示す断面図である。

【図12】同半導体装置の製造方法を説明する平面図である。

【図13】この発明の第6実施例である半導体装置の構成を示す断面図である。

*

*【図14】同半導体装置の製造方法を説明する平面図である。

【図15】この発明の第7実施例である半導体装置の構成を示す平面図である。

【図16】この発明の第8実施例である半導体装置の構成を示す断面図である。

【図17】この発明の第9実施例である半導体装置の構成を示す断面図である。

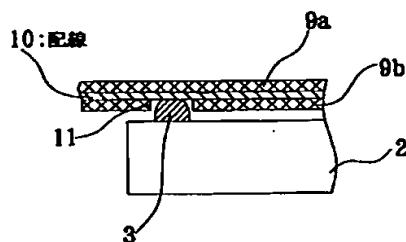
【図18】従来の半導体装置の構成を示す断面図である。

【図19】従来の半導体装置の構成を示す断面図である。

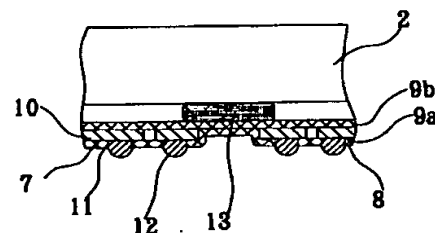
【符号の説明】

- 1 半導体装置
- 2 ベアチップ
- 3 パッド電極
- 4、14、21 配線内蔵絶縁性フィルム
- 5、22、22A～22E 単位フィルム
- 6、23 中間支持部
- 7、8、43、44 固定フィルム
- 7a、8a、43a、44a チップ支持部
- 7b、8b、43b、44b チップ封止部
- 9a、9b 絶縁性フィルム
- 10 配線
- 11 コンタクトホール
- 12 バンプ状電極（外部電極）
- 13、53 絶縁性樹脂
- 15、26～28、30～32、56、57、60 単位フィルムの側面部
- 16、34～40、58、59、61、62 短絡用電極
- 17、46～52 短絡用引き出し電極
- 18 LSIチップ
- 19 受動素子チップ
- 20
- 24、55 第1フィルム
- 25 第2フィルム
- 42 カバーフィルム

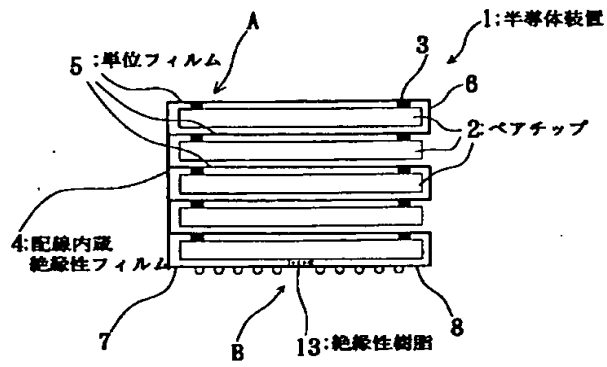
【図2】



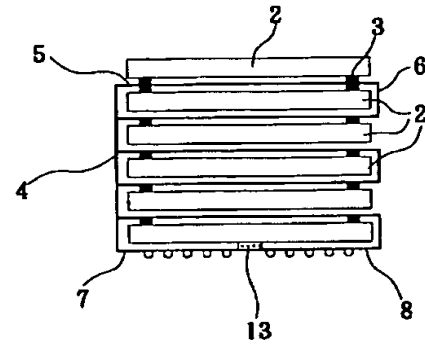
【図3】



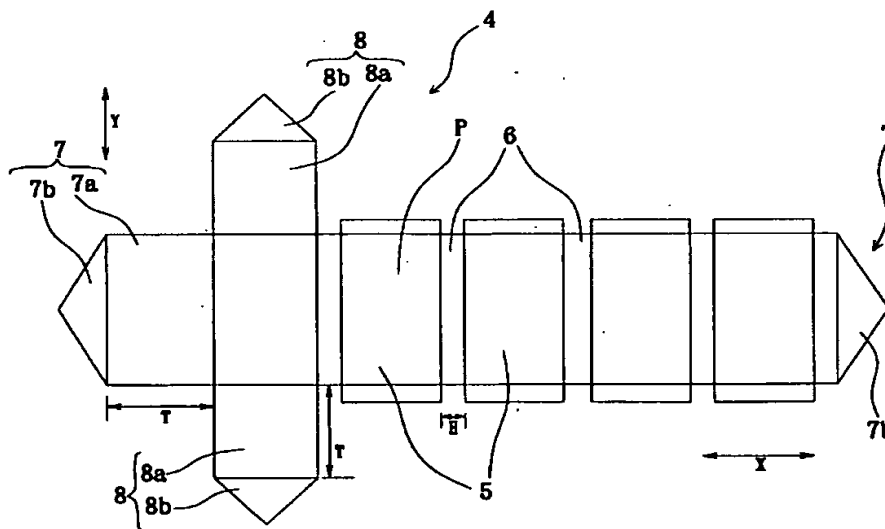
【図1】



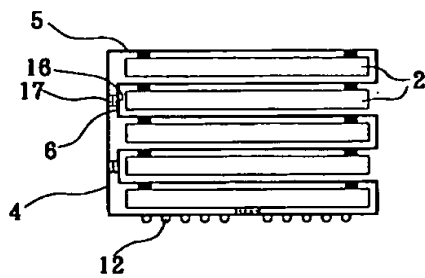
【図7】



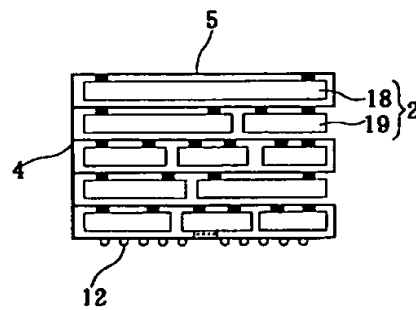
【図4】



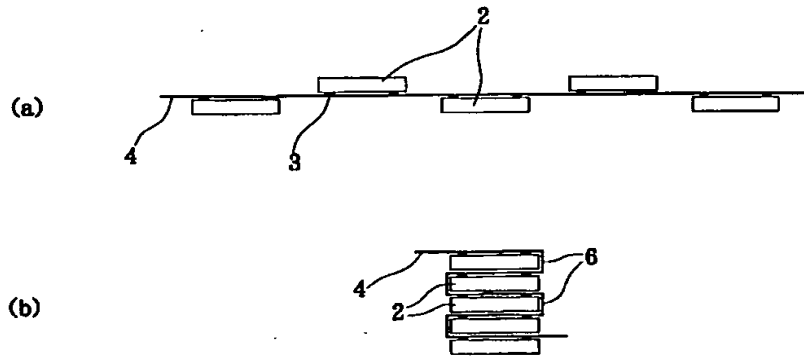
【図8】



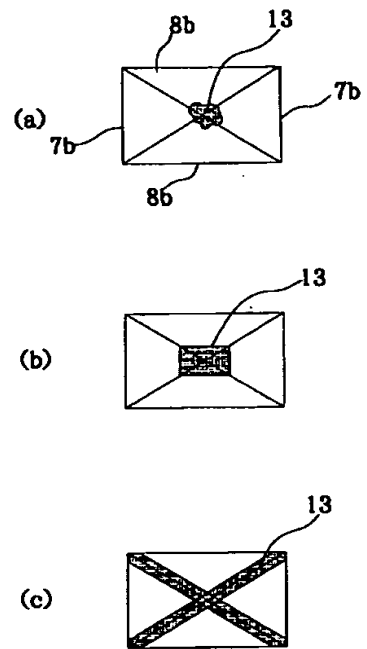
【図10】



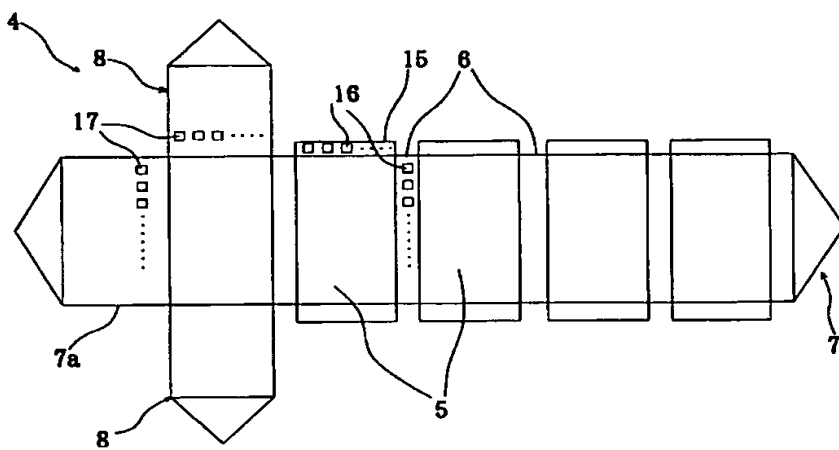
【図5】



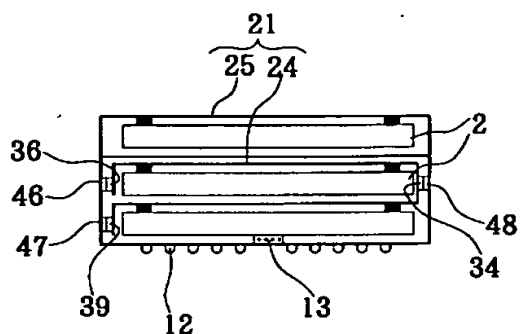
【図6】



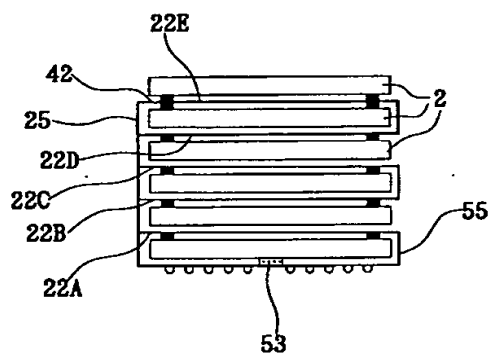
【図9】



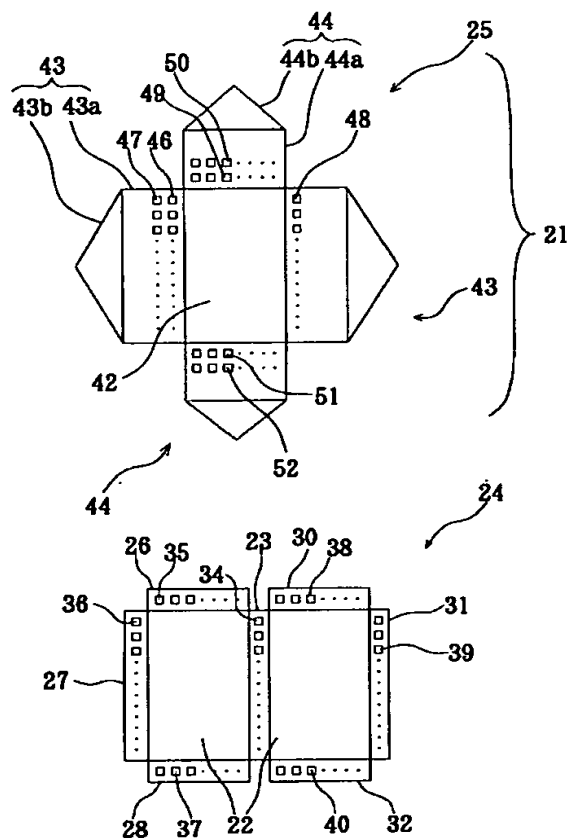
【図11】



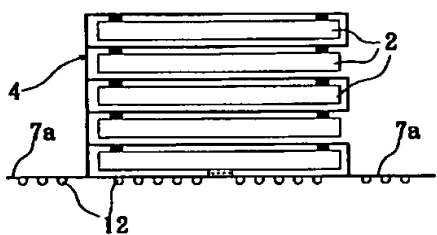
【図13】



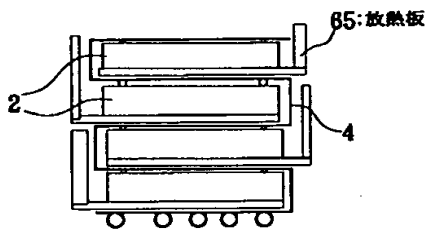
【図12】



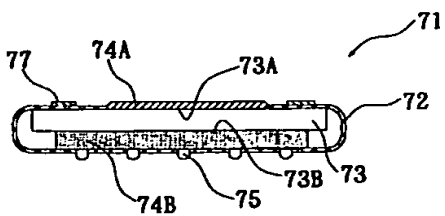
【図16】



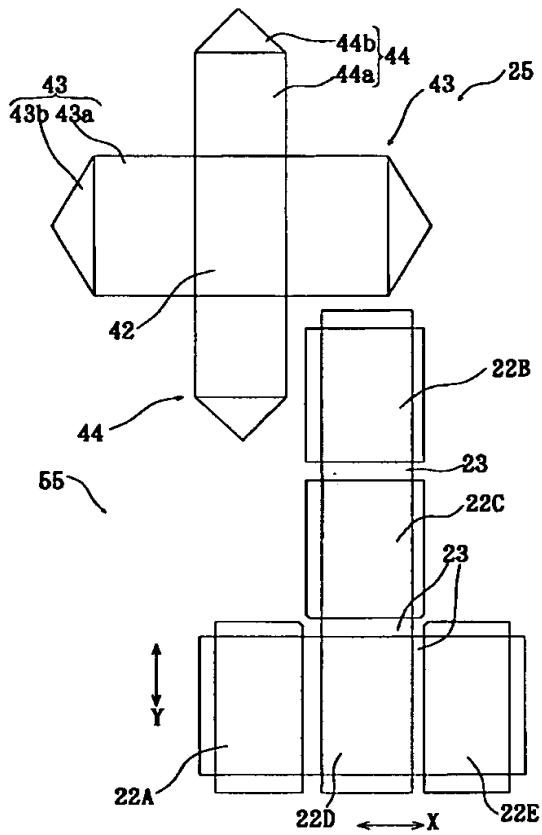
【図17】



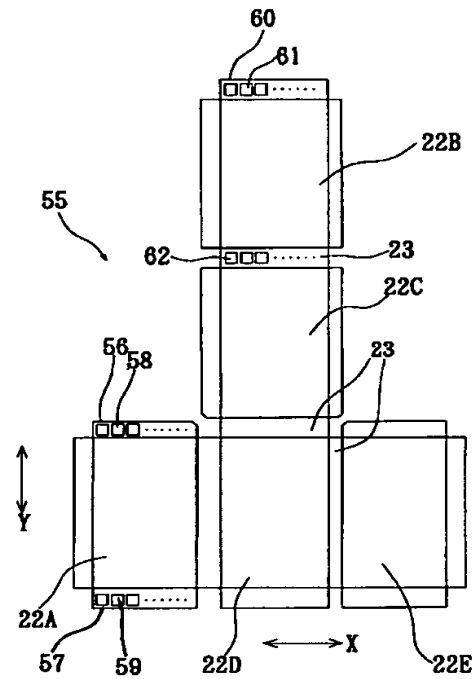
【図18】



【図14】



【図15】



【図19】

